

- Nom et prénom : BOUSSADI Mohamed Amine

- Laboratoire de thèse : Institut Pascal

- Directeur de thèse : Jean-Pierre Dérutin

- Co-encadrant: Alexis Landrault

- Date de soutenance: 25/02/2015

- Noms des personnes composant votre jury:

Dominique HOUZET

Gilles SASSATELLI

Maxime PELCAT

François BERRY

Jean-Pierre DERUTIN

Alexis LANDRAULT

- Titre : Conception et développement d'un circuit multiprocesseurs en ASIC dédié à une caméra intelligente

-Résumé:

Les capteurs intelligents de nos jours nécessitent des composants de traitement dotés d'une puissance suffisante pour exécuter les algorithmes à la cadence de ces capteurs d'images performants, tout en gardant une faible consommation d'énergie. Les systèmes monoprocesseur n'arrivent plus à satisfaire les exigences de ce domaine. Ainsi, grâce aux avancées technologiques et en s'appuyant sur de précédents travaux sur les machines parallèles, les systèmes multiprocesseurs sur puce (MP-SoC) représentent une solution intéressante et prometteuse. Dans de précédents travaux à cette thèse, la cible technologique pour développer de tels systèmes était les FPGA. Or les résultats ont montré les limites de cette cible en terme de ressource matérielles et en terme de performance (vitesse notamment). Ce constat nous amène à changer de cible c'est-à-dire à passer sur cible ASIC nécessitant ainsi de retravailler profondément l'architecture et les IPs qui existaient autour de la méthode existante (appelée HNCP, pour Homogeneous Network of Communicating Processors).

Afin de bénéficier de la performance offerte par la cible ASIC, les systèmes multiprocesseurs proposés s'appuient sur la flexibilité de son architecture. Combinés à des squelettes de parallélisation facilitant la programmabilité de l'architecture, les circuits proposés permettent d'offrir des systèmes supportant le portage en temps réels de différentes classes d'algorithme de traitement d'images. Le résultat de ce travail a abouti à la fabrication d'un circuit intégré "test" à base d'un seul processeur et de ses périphériques en technologie ST CMOS 65nm dont la surface est d'environ 1 mm² et à la définition de 2 architectures multiprocesseurs flexibles basées sur le concept des squelettes de parallélisation (une architecture de 16 cœurs de processeur en technologie ST CMOS 65 nm et une deuxième architecture de 64 cœurs de processeur en technologie ST CMOS FD-SOI 28 nm).